

-1- (JAPIO)

ACCESSION NUMBER  
 TITLE  
 PATENT APPLICANT  
 INVENTORS  
 PATENT NUMBER  
 APPLICATION DETAILS  
 SOURCE  
 INT'L PATENT CLASS  
 JAPIO CLASS

97-331323  
 BULK COMMUNICATION SYSTEM  
 (2000423) NEC CORP  
 NISHITO, KATSUHIKO  
 97.12.22 J09331323, JP 09-331323  
 96.06.13 96JP-152431, 08-152431  
 97.12.22 SECT. , SECTION NO. ; VOL. 97, NO. 12.  
 H04L-012/02  
 44.3 (COMMUNICATION--Telegraphy); 44.2  
 (COMMUNICATION--Transmission Systems); 44.4  
 (COMMUNICATION--Telephone)

## ABSTRACT

PROBLEM TO BE SOLVED:To eliminate a sense of incongruity by a talker due to a delay in voice communication for frame/cell processing by using a means detecting a delay difference between channels so as to detect the delay difference and comparing the delay difference with a maximum permissible delay value, making a call to a channel again when the delay difference exceeds the maximum permissible delay value and discriminating once more whether or not the delay difference is within the maximum permissible delay value and repeating the processing above. SOLUTION:A B1/B2 delay difference detection section 17 uses a control processor 15 to read delay information of each channel and delay correction end information of an opposite station. The control processor 15 sets a proper delay correction value to a B1/B2 delay correction buffer 18 to provide delay correction to each channel. The output subject to delay correction is inputted to a multiplexer section 19, from which the resulting data are multiplexed onto one reception data and inputted to one input of a selector 21. An idle pattern outputted from an idle pattern generator 20 is inputted to the other input. Furthermore, the selector 21 selects its inputs by the control processor 15 and its output becomes reception data to a terminal equipment.

SS 3?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-331323

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/02		9744-5K	H 0 4 L 11/02	Z

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-152431

(22) 出願日 平成8年(1996)6月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西戸 克彦

東京都港区芝五丁目7番1号 日本電気株式会社内

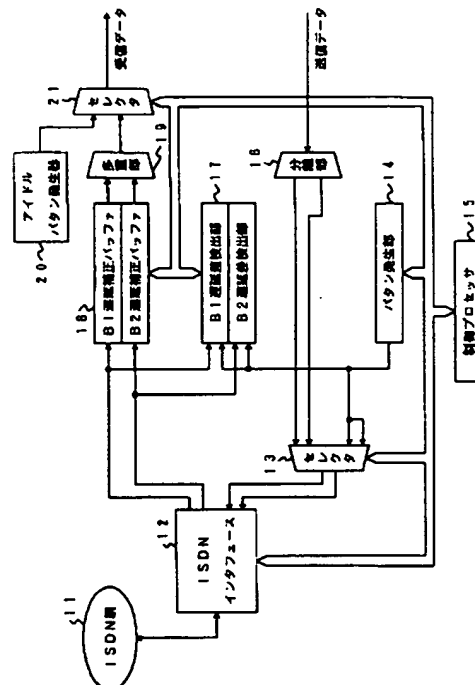
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 バルク通信方式

(57) 【要約】

【課題】 ISDNを利用したバルク通信方式では、最大遅延を持つチャネルに他のチャネルが遅延補正するため、遅延が大きくなる問題があった。

【解決手段】 複数のチャネル間の遅延差を判定する手段と、該遅延差と予め定められた遅延差規定値とを比較し、該遅延差規定値を越える遅延差を有するチャネルに対して、回線の切断、再発呼の遅延差規定値に収まるまで、または規定回数まで繰り返す手段を有し、バルク通信時の回線遅延時間を小さくすることを目的とする。



1

## 【特許請求の範囲】

【請求項1】 ISDN網の複数のチャネルを使用してデータを分離して送受信するバルク通信方式において、複数のチャネル間のデータの遅延差を判定する手段と、該遅延差と、予め定められた遅延差規定値とを比較し、該遅延差規定値を越える遅延差を持つチャネルに対して、回線の切断、再発呼を遅延差規定値に収まるまで、又は規定回数まで繰り返す手段を有し、バルク通信時の回線遅延時間を小さくすることを特徴とするバルク通信方式。

【請求項2】 ISDN網に対してISDNインターフェースにより複数のBチャネルを発呼、接続して使用し、高速通信を行うバルク通信方式において、所定のチャネルが接続した後、制御プロセッサにより、第1のセレクトにボタン発生器の出力の選択が行われ、該ボタン発生器のボタン発生を開始させ、第2のセレクトに対してアイドルボタン発生器の出力の選択が行われ、B1チャネル遅延差検出部及びB2チャネル遅延差検出部では相手局のボタン発生器で生成されたボタンを受信し、自局のボタン発生器で発生したボタンとの差分比較を行い、前記制御プロセッサにて前記B1チャネル遅延差検出部及び前記B2チャネル遅延差検出部よりB1チャネルとB2チャネルの遅延差を読み出し、B1チャネルとB2チャネルの遅延差が規定の遅延差以内であれば、該遅延差をB1チャネル遅延補正バッファ及びB2チャネル遅延補正バッファに設定し、前記第2のセレクトに対して多重部の出力の選択が行われ、前記制御プロセッサにより前記ボタン発生器に対して自局にて遅延補正が完了したことを示すボタンを発生させ、前記B1チャネル遅延差検出部及び前記B2チャネル遅延差検出部にて、相手局の遅延補正が完了したことを示すボタンを検出した場合、前記制御プロセッサに対して通知し、該制御プロセッサは前記第1のセレクトを分離部の出力を選択するように指示してバルク通信を可能とすることを特徴とするバルク通信方式。

【請求項3】 B1チャネルとB2チャネルの遅延差が規定の遅延差を越える場合には、遅延の大きいBチャネルの切断、再発呼を、遅延差規定値に収まるまで、又は規定回数まで繰り返すことを特徴とする請求項2記載のバルク通信方式。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、統合デジタル網の通信方式に関し、特に複数のチャネルを使用して、データを分離して送受信を行うバルク通信方式に属する。

## 【0002】

【従来の技術】特開平6-125343はデータの遅延補正の範囲を広げるため、または、バルク通信する速度に融通を持たせるためのものであり、本発明のバルク通信時の遅延時間を少なくする目的とは根本的に異なる。特開

2

平5-236055は、バルク通信時の接続待ち時間を少なくする目的のものであり、本発明は接続後のデータ通信遅延時間を小さくする目的のものであり、根本的に異なる。

## 【0003】

【発明が解決しようとする課題】従来のバルク通信方式では、バルク通信を行う際の遅延バッファでの遅延時間規定値を設けていないため、最も大きな遅延時間をもつチャネルに合わせる方式であり、大きな遅延が発生することである。その理由は、遅延補正バッファでの許容最大遅延時間を定めていないため、最も大きな遅延時間を持つチャネルの遅延に、他のチャネルを合わせる方式をとっているからである。

【0004】本発明の課題は、統合デジタル網でのバルク通信時の回線遅延時間を小さくすることである。特に最近、フレームリレーや、ATMの発達において、音声圧縮し、かつフレーム化又はセル化して通信を行う需要が増大している。このとき、圧縮遅延、及びフレーム化／セル化遅延が生じるため、このような音声を圧縮してフレーム化／セル化して通信を行う場合は特に、従来あまり問題ではなかった回線の遅延が、大きな問題となりうる。

## 【0005】

【課題を解決するための手段】本発明によれば、ISDN網の複数のチャネルを使用してデータを分離して送受信するバルク通信方式において、複数のチャネル間のデータの遅延差を判定する手段と、該遅延差と、予め定められた遅延差規定値とを比較し、該遅延差規定値を越えると遅延差を持つチャネルに対して、回線の切断、再発呼を遅延差規定値に収まるまで、又は規定回数まで繰り返す手段を有し、バルク通信時の回線遅延時間を小さくすることを特徴とするバルク通信方式が得られる。

【0006】又、本発明によれば、ISDN網に対してISDNインターフェースにより複数のBチャネルを発呼、接続して使用し、高速通信を行うバルク通信方式において、所定のチャネルが接続した後、制御プロセッサにより、第1のセレクトにボタン発生器の出力の選択が行われ、該ボタン発生器のボタン発生を開始させ、第2のセレクトに対してアイドルボタン発生器の出力の選択が行われ、B1チャネル遅延差検出部及びB2チャネル遅延差検出部では相手局のボタン発生器で生成されたボタンを受信し、自局のボタン発生器で発生したボタンとの差分比較を行い、前記制御プロセッサにて前記B1チャネル遅延差検出部及び前記B2チャネル遅延差検出部よりB1チャネルとB2チャネルの遅延差を読み出し、B1チャネルとB2チャネルの遅延差が規定の遅延差以内であれば、該遅延差をB1チャネル遅延補正バッファ及びB2チャネル遅延補正バッファに設定し、前記第2のセレクトに対して多重部の出力の選択が行われ、前記制御プロセッサにより前記ボタン発生器に対して自局に

て遅延補正が完了したことを示すボタンを発生させ、前記B1チャンネル遅延差検出部及び前記B2チャンネル遅延差検出部にて、相手局の遅延補正が完了したことを示すボタンを検出した場合、前記制御プロセッサに対して通知し、該制御プロセッサは前記第1のセクタを分離部の出力を選択するように指示してバルク通信を可能とすることを特徴とするバルク通信方式が得られる。

【0007】さらに、本発明によれば、B1チャンネルとB2チャンネルの遅延差が規定の遅延差を越える場合には、遅延の大きいBチャンネルの切断、再発呼を、遅延差規定値に収まるまで、又は規定回数まで繰り返すことを特徴とするバルク通信方式が得られる。

【0008】

【作用】チャンネル間の遅延差を検出する手段により遅延差を検出し、該遅延差と最大許容遅延値と比較し、越えている場合は、再発呼して、もう一度最大許容値内に収まるか否か判定し、これを繰り返す手段を有する為、遅延の大きなチャンネルが、小さな遅延となる機会を得ることが可能となる。これにより、遅延時間の少ないバルク通信の提供が可能となる。

【0009】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して説明する。図1は、本発明の一実施の形態を示した構成図である。ISDN網11に対してISDNインタフェース12を介して制御プロセッサ15が複数のチャンネルを発呼し、送信データを分離して送信を行い、複数のチャンネルより受信した、受信データに対し遅延補正を行い多重して受信データとするバルク通信方式の構成図である。ここで、便宜上B1とB2の2つのチャンネルにつき示してあるが、以下で示すアルゴリズムは、2つ以上のチャンネルを使用する場合にも有効である。

【0010】送信データは分離部16において2チャンネルに分離されセクタ13の一方となる。セクタ13の他方の入力、遅延差検出用ボタン発生部14の出力である。セクタ13は制御プロセッサ15により入力の選択を指示され、その出力はISDNインタフェース12の送信チャンネル入力となる。

【0011】ISDNインタフェース12の受信出力は、B1/B2遅延補正バッファ18とB1/B2遅延差検出部17の入力となる。B1/B2遅延差検出部17は、ボタン発生部14の出力する遅延差検出ボタンをも入力される。B1/B2遅延差検出部17は制御プロセッサ15より、各チャンネルの遅延情報と相手局の遅延補正完了情報を読み出すことが可能である。B1/B2遅延補正バッファ18は制御プロセッサ15より、適正な遅延補正值を設定され、各チャンネルに遅延補正を与えるバッファである。B1/B2遅延バッファで遅延補正された出力は多重部19に入力され1本の受信データに多重されて、セクタ21の一方の入力となる。セク

タ21の他方の入力、アイドルボタン発生器20の出力するアイドルボタンが入力される。更にセクタ21は制御プロセッサ15により入力選択指示され、その出力が端末への受信データとなる。

【0012】次に図2のフローチャートを用いて本発明の動作を説明する。本フローチャートは制御プロセッサ15の動作フローである。再発呼回数Nを初期化の為0と設定する(ステップS1)。次にバルク通信の速度に応じたチャンネル数、例えば128Kbpsであれば、2つのチャンネルの発呼、及び接続確認を行う(ステップS2)。次にセクタ13に対しボタン発生部14の出力の遅延差検出ボタンを選択指示を行う(ステップS3)。次にボタン発生部14に対し、遅延差検出ボタンの発生開始を指示する(ステップS4)。次にセクタ21に対し、アイドルボタン発生器20が発生するアイドルボタンを選択出力する様指示する(ステップS5)。次に遅延差検出部17より各チャンネルの遅延時間 $T_i - T_n$ を読み出す(ステップS6)。次に $T_i - T_{min}$  ( $i$ は各チャンネル、 $T_{min}$ は最小遅延時間)によりB1とB2の遅延差を計算する(ステップS7)。

【0013】次に $T_i - T_{min}$ がT(Tは遅延差規定値)以下であるか否か( $T_i - T_{min} \leq T$ )を判定し、全て、規定値以内であれば、ステップS9に、規定値を越えるものがあれば、以下のステップ15に従って処理される(ステップS8)。次に遅延補正バッファ18へ遅延補正值 $T_{max} - T_i$  ( $T_{max}$ は全チャンネルの最大遅延値)を設定する(ステップS9)。次にセクタ21に多重部19の出力を選択指示する(ステップS10)。次にボタン発生部14に遅延補正完了ボタン送出を指示する(ステップS11)。次に遅延検出部17より相手先遅延補正完了情報を読み出す(ステップS12)。相手先の遅延補正が完了していれば、以下のステップ14に、していなければステップ12に従って処理される(ステップS13)。

【0014】上記ステップS13にて相手先の遅延補正が完了していればセクタ13に対して分離部16の出力を選択指示する(ステップS14)。上記ステップS8にて、 $T_i - T_{min}$ がT以下であるか否か( $T_i - T_{min} \leq T$ )を判定し、規定値を越えるものがあれば再発呼回数を1つカウントアップする(ステップS15)。次に、再発呼回数Nと最大再発呼回数Mとを比較して、NがM以下( $N \leq M$ )ならば以下のステップS17に、NがMより大きい( $N > M$ )場合は上記ステップS9に従って処理される(ステップS16)。ここで、上記ステップS16にてNがM以下の場合、 $T_i - T_{min} > T$ となったチャンネルに対して切断、再発呼、接続確認を行い、上記ステップS6へ戻る。

【0015】次に図1のボタン発生部14が発生する遅延差検出ボタンの実施例を図3を用いて説明する。図3は、ボタン発生部14が発生する遅延差検出ボタンの実

施例である。本ボタンはボタン発生部14にて生成され同一フレームにて各チャンネルに送信される。250 $\mu$ sec 1フレームで、1ビット目と9ビット目が同期ボタンであり1と0の交互ボタンである。2ビット目のCは遅延差補正完了ビットであり、補正中の場合は、0を補正完了後は1を立てる。3～8、10～16ビットはそれぞれ上位カウント値、下位カウント値であり、0から2<sup>13</sup>までカウントし、また0へ戻りカウントアップする。本例の場合250 $\mu$ sec $\times$ 2<sup>13</sup>まで遅延検出可能である。

【0016】

【発明の効果】第1の効果は、回線遅延の少ないバルク通信を提供することにある。これにより、フレーム化／セル化された音声通信にできる限り遅延による話者の異和感を無くす効果がある。

【0017】その理由は、複数のチャンネル内で最小遅延のチャンネルから遅延規定値内に他の全チャンネルの遅延を押えるからである。

【図面の簡単な説明】

【図1】本発明の一実施の形態の構成図である。

【図2】本発明の一実施の形態の動作を示すフローチャートである。

【図3】本発明の遅延差検出を行う為のボタンの一例を

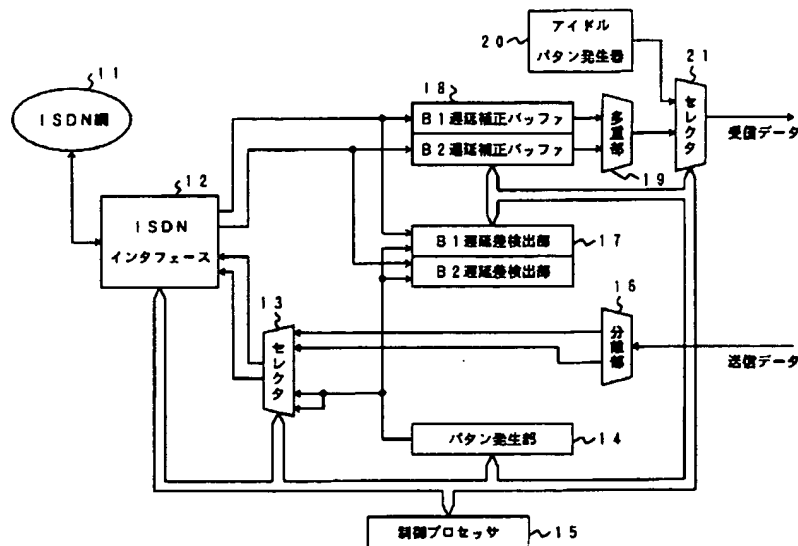
示した図である。

【図4】従来技術の構成図である。

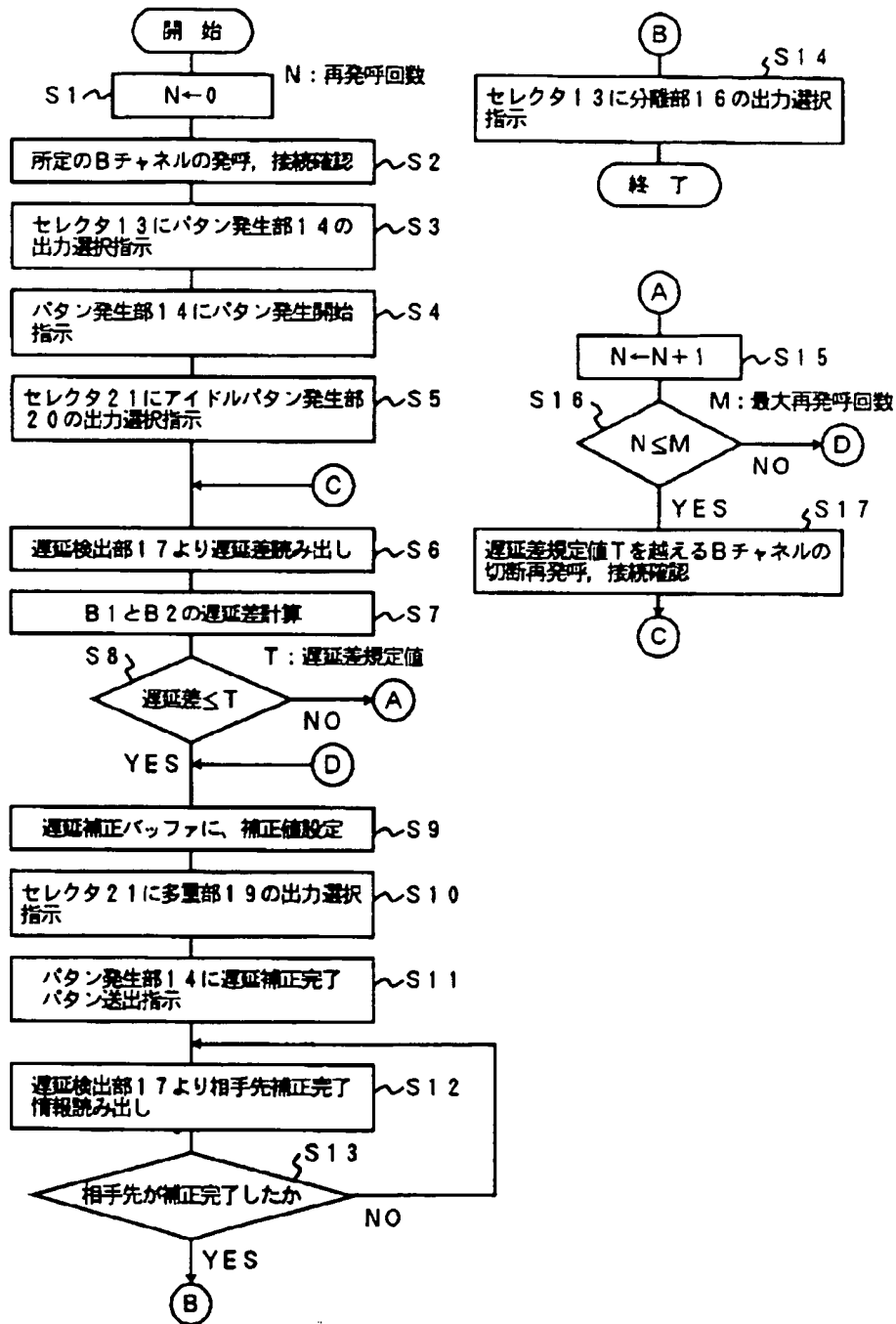
【符号の説明】

11	ISDN網
12	ISDNインタフェース
13	セレクト
14	ボタン発生部
15	制御プロセッサ
16	分離部
10 17	遅延差検出部
18	遅延補正バッファ
19	多重部
20	アイドルボタン発生器
21	セレクト
31	分離回路
32	多重回路
33, 34	ボタン符号器
35	可変遅延回路
36, 37	ボタン復号器
20 38	制御プロセッサ
39	LAP-D処理部
40, 41, 42, 43	セレクト
44	回線インタフェース

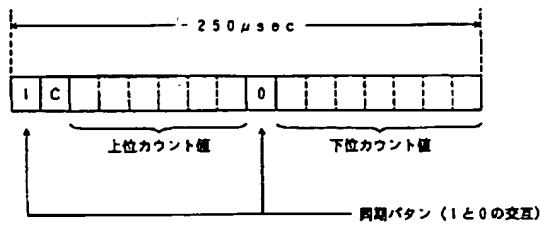
【図1】



【図2】



【図3】



C: 遅延差補正完了ビット

1: 完了, 0: 補正中

【図4】

